

03 010
13.4.2004
PCT/JP 2004/005275

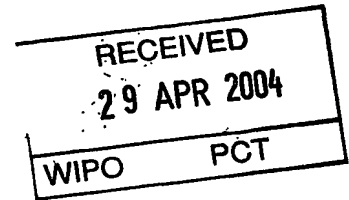
日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月15日
Date of Application:

出願番号 特願2003-110319
Application Number:
[ST. 10/C]: [JP 2003-110319]



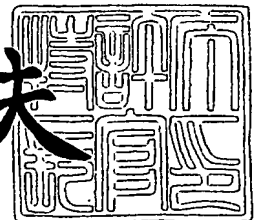
出願人 インターナショナル・ビジネス・マシーンズ・コーポレーション
Applicant(s): ヨン

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年10月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

出証番号 出証特2003-3089196

【書類名】 特許願

【整理番号】 JP9030016

【提出日】 平成15年 4月15日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/406

【発明者】

【住所又は居所】 滋賀県野洲郡野洲町大字市三宅 8 0 0 番地 日本アイ・ビー・エム株式会社 野洲事業所内

【氏名】 砂永 登志男

【発明者】

【住所又は居所】 滋賀県野洲郡野洲町大字市三宅 8 0 0 番地 日本アイ・ビー・エム株式会社 野洲事業所内

【氏名】 細川 浩二

【発明者】

【住所又は居所】 滋賀県野洲郡野洲町大字市三宅 8 0 0 番地 日本アイ・ビー・エム株式会社 野洲事業所内

【氏名】 宮武 久忠

【特許出願人】

【識別番号】 390009531

【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

【識別番号】 100086243

【弁理士】

【氏名又は名称】 坂口 博

【代理人】

【識別番号】 100091568

【弁理士】

【氏名又は名称】 市位 嘉宏

【代理人】

【識別番号】 100108501

【弁理士】

【氏名又は名称】 上野 剛史

【復代理人】

【識別番号】 100104444

【弁理士】

【氏名又は名称】 上羽 秀敏

【手数料の表示】

【予納台帳番号】 165170

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706050

【包括委任状番号】 9704733

【包括委任状番号】 0207860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ダイナミック型半導体記憶装置

【特許請求の範囲】

【請求項 1】 ダイナミック型半導体記憶装置であって、
複数のメモリセルを含むメモリセルアレイを備え、
前記メモリセルアレイは複数のブロックに分割され、
前記ダイナミック型半導体記憶装置はさらに、
ロウアドレス信号をデコードしてブロック選択信号を発生するブロックデコーダと、
前記ブロック選択信号を予め設定された分周比で分周して前記ブロック用にリフレッシュ周期を設定するリフレッシュサイクル制御回路と、
前記ブロック選択信号に応答して前記ブロックを選択するロウデコーダとを備えたことを特徴とするダイナミック型半導体記憶装置。

【請求項 2】 請求項 1 に記載のダイナミック型半導体記憶装置であって、
前記リフレッシュサイクル制御回路は、
前記分周比を設定するヒューズ回路と、
前記ヒューズ回路に設定された分周比で前記ブロック選択信号を分周する分周器とを含むことを特徴とするダイナミック型半導体記憶装置。

【請求項 3】 請求項 2 に記載のダイナミック型半導体記憶装置であって、
前記ヒューズ回路は前記ロウデコーダ上に形成されることを特徴とするダイナミック型半導体記憶装置。

【請求項 4】 ダイナミック型半導体記憶装置であって、
複数のメモリセルを含むメモリセルアレイを備え、
前記メモリセルアレイは複数の第 1 階層ブロックに分割され、前記第 1 階層ブロックの各々はさらに複数の第 2 階層ブロックに分割され、
前記ダイナミック型半導体記憶装置はさらに、
前記第 1 階層ブロック用に第 1 のリフレッシュ周期を設定し、前記第 2 階層ブロック用に第 2 のリフレッシュ周期を設定するリフレッシュ周期設定手段を備えたことを特徴とするダイナミック型半導体記憶装置。

【請求項 5】 請求項 4 に記載のダイナミック型半導体記憶装置であってさらに、

前記第 1 階層ブロックを第 1 のブロック選択信号に応答して選択し、その選択された第 1 階層ブロック内の前記第 2 階層ブロックを第 2 のブロック選択信号に応答して選択するロウデコーダを備え、

前記リフレッシュ周期設定手段は、

前記第 1 のブロック選択信号を予め定められた第 1 の分周比で分周する第 1 の分周器と、

前記第 2 のブロック選択信号を予め定められた第 2 の分周比で分周する第 2 の分周器とを含むことを特徴とするダイナミック型半導体記憶装置。

【請求項 6】 請求項 5 に記載のダイナミック型半導体記憶装置であって、前記リフレッシュ周期設定手段はさらに、
前記第 1 の分周比を設定する第 1 のヒューズ回路と、
前記第 2 の分周比を設定する第 2 のヒューズ回路とを含むことを特徴とするダイナミック型半導体記憶装置。

【請求項 7】 請求項 6 に記載のダイナミック型半導体記憶装置であって、前記第 1 及び第 2 のヒューズ回路は前記ロウデコーダ上に形成されることを特徴とするダイナミック型半導体記憶装置。

【請求項 8】 請求項 4 に記載のダイナミック型半導体記憶装置であってさらに、

前記第 1 階層ブロックを第 1 のブロック選択信号に応答して選択し、その選択された第 1 階層ブロック内の前記第 2 階層ブロックを第 2 のブロック選択信号に応答して選択するロウデコーダを備え、

前記リフレッシュ周期設定手段は、

前記第 2 のブロック選択信号を予め定められた第 1 又は第 2 の分周比で分周する分周器を含むことを特徴とするダイナミック型半導体記憶装置。

【請求項 9】 請求項 8 に記載のダイナミック型半導体記憶装置であって、前記リフレッシュ周期設定手段はさらに、
前記第 1 又は第 2 の分周比を設定するヒューズ回路を含むことを特徴とするダ

イナミック型半導体記憶装置。

【請求項 10】 請求項 9 に記載のダイナミック型半導体記憶装置であって

前記ヒューズ回路は前記ロウデコーダ上に形成されることを特徴とするダイナミック型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ダイナミック型半導体記憶装置に関し、さらに詳しくは、リフレッシュの必要な DRAM (Dynamic Random Access Memory) に関する。

【0002】

【従来の技術】

携帯電話、携帯情報端末 (PDA ; Personal Digital Assistant) など、電池で駆動される機器では、そこで使用される半導体装置の低消費電力化が最も重要な課題である。従来、半導体メモリとしては SRAM (Static Random Access Memory) が広く使用されてきた。SRAM のメモリセルは 6 つの CMOS (Complementary Metal Oxide Semiconductor) トランジスタからなり、わずかな消費電流でデータを保持できるからである。しかし、SRAM のメモリセルは DRAM のメモリセルよりも 20 倍以上大きい。また、近年必要なメモリ容量は増大してきており、現在の 0.2 ~ 0.13 μm 程度の配線技術で 32 Mビットや 64 Mビットなどの SRAM を製造すると、チップサイズが大きくなりすぎる。このように SRAM は DRAM よりも面積効率が悪いが、この面積効率の悪さは微細化によってさらに悪化する。このため、SRAM を DRAM で置き換えた製品が出始めている。

【0003】

しかし、DRAM はリフレッシュを必要とするため、データを保持した状態でのスタンバイ電流は SRAM よりもかなり大きい。低消費電力の SRAM を省スペースの DRAM で置き換えるためには、リフレッシュ電流をできる限り小さくする必要がある。

【0004】

このような課題を解決することを目的として、現在、大容量のDRAMと小容量のSRAMとを組み合わせたマルチチップパッケージが提供されている。SRAMはDRAMのバックアップ用で、DRAMのデータのうち保持の必要なデータのみがSRAMに格納される。しかし、この製品でも十分な低消費電力化は得られていない。

【0005】

DRAMの規格では一般に、64msなどのデータ保持時間が規定されている。メモリコントローラは規定されたデータ保持時間以内の周期で各メモリセルをリフレッシュしなければならない。DRAMの製造メーカはこの規格を満足するようにいくらか余裕を持ったデータ保持時間でテスト（以下「リテンションテスト」という）を行い、合格品を出荷している。このリテンションテストに合格するぎりぎりの短いデータ保持時間しか持たないメモリセルの総数はそれほど多くない。しかもデータ保持時間の短いメモリセルのほとんどは何らかの欠陥と関係しているため、冗長メモリセルと置き換えられ、実際には使用されない。したがって、実際に使用されるデータ保持時間の短いメモリセルの数はDRAM全体のメモリセルの数と比べれば非常に少ない。

【0006】

実際にデータ保持時間の実力値を計測してみると、どのメーカのDRAMでも大多数は85℃でも軽く秒のオーダーを超えるほどに長い。リテンションテストでは64msに余裕を持たせ、たとえば100msを基準値としているが、この基準値を超えられないメモリセルは数十ビット程度しか存在しない。データ保持時間の分布をグラフにすると、およそ99%のメモリセルは1秒を超えるデータ保持時間を持ち、ごく少数のメモリセルがデータ保持時間の短い裾野に分布している。

【0007】

従来のDRAMでは、規格に従い64msなど一律の周期で全メモリセルをリフレッシュしている。すなわち、全メモリセルの中で最短のデータ保持時間をリフレッシュ周期として採用している。上述したデータ保持時間の実力分布を考慮

すると、これは大多数のメモリセルを必要以上に頻繁にリフレッシュしていることを意味し、かなりの電力を無駄に消費している。したがって理想的には、各メモリセルのデータ保持時間の実力に応じた周期でリフレッシュを行えば、数十ビットのメモリセルのみを最短の64msでリフレッシュし、その他の大多数のメモリセルをそれよりもはるかに長い周期でリフレッシュすればよく、膨大な消費電力を節約することができる。しかし、メモリセルごとに実力値に応じたリフレッシュ周期を設定することは膨大かつ複雑な回路を必要とし、現実的には不可能である。

【0008】

このような課題を解決することを目的として、メモリセルをグループに分け、グループごとに最適なりフレッシュ周期を設定するようにした発明が提案されている。たとえば後掲の特許文献1には、ワード線ごとに最適なりフレッシュ周期を設定するようにした発明が開示されている。しかしこの発明では、多数あるワード線にそれぞれ異なるリフレッシュ周期を設定するため、膨大かつ複雑な回路が必要となる。また、後掲の特許文献2には、サブアレイごとに最適なりフレッシュ周期を設定するようにした発明が開示されている。また、後掲の特許文献3には、メモリセルアレイごとに最適なりフレッシュ周期を設定するようにした発明が開示されている。しかしこれらの発明では、アレイ数が少ないため、データ保持時間の実力値が短いメモリセルが全アレイに分散して存在している場合には十分な効果を得ることができない。

【0009】

【特許文献1】

特開平4-34794号公報

【特許文献2】

特開平5-109268号公報

【特許文献3】

特開平5-266657号公報

【特許文献4】

特開平5-2878号公報

【0010】

【発明が解決しようとする課題】

本発明の目的は、リフレッシュ電流を低減したダイナミック型半導体記憶装置を提供することである。

【0011】

本発明のもう1つの目的は、リフレッシュ周期をきめ細かく設定することの可能なダイナミック型半導体記憶装置を提供することである。

【0012】

本発明のさらにもう1つ目的は、上記目的を簡単な回路構成で実現したダイナミック型半導体記憶装置を提供することである。

【0013】

【課題を解決するための手段】

本発明によるダイナミック型半導体記憶装置は、複数のメモリセルを含むメモリセルアレイを備える。メモリセルアレイは複数のブロックに分割される。ダイナミック型半導体記憶装置はさらに、ブロックデコーダと、リフレッシュサイクル制御回路と、ロウデコーダとを備える。ブロックデコーダは、ロウアドレス信号をデコードしてブロック選択信号を発生する。リフレッシュサイクル制御回路は、ブロック選択信号を予め設定された分周比で分周してブロック用にリフレッシュ周期を設定する。ロウデコーダは、ブロック選択信号に応答してブロックを選択する。

【0014】

このダイナミック型半導体記憶装置では、ブロック選択信号が予め設定された分周比で分周される。分周比が1の場合、ブロック選択信号は分周されないため、対応するブロックは通常の周期で選択される。たとえば分周比が $1/2$ の場合、ブロック選択信号は $1/2$ で分周されるため、対応するブロックは通常の $1/2$ の周期で選択される。したがって、このブロックのリフレッシュ周期は通常の $1/2$ となり、リフレッシュ電流が低減される。ここで、分周比は特に $1/2$ に限定されることなく、 $1/4$ 、 $1/8$ など、任意の比を採用することができる。しかも、リフレッシュサイクル制御回路を追加するだけでリフレッシュ電流が低

減されるので、本発明によるダイナミック型半導体記憶装置は簡単な回路構成で実現することができる。

【0015】

本発明によるもう1つのダイナミック型半導体記憶装置は、複数のメモリセルを含むメモリセルアレイを備える。メモリセルアレイは複数の第1階層ブロックに分割される。第1階層ブロックの各々はさらに複数の第2階層ブロックに分割される。ダイナミック型半導体記憶装置はさらに、リフレッシュ周期設定手段を備える。リフレッシュ周期設定手段は、第1階層ブロック用に第1のリフレッシュ周期を設定し、第2階層ブロック用に第2のリフレッシュ周期を設定する。

【0016】

このダイナミック型半導体記憶装置では、メモリセルアレイが階層的にブロック化され、リフレッシュ周期はブロック単位で階層的に設定される。したがって、リフレッシュ周期をきめ細かく設定することができる。その結果、メモリセルアレイ全体のリフレッシュ電流はさらに低減される。

【0017】

【発明の実施の形態】

以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明を援用する。

【0018】

〔第1の実施の形態〕

図1を参照して、本発明の第1の実施の形態によるDRAMは、32MビットのメモリセルアレイMAと、ロウデコーダRDと、リフレッシュサイクル制御回路RCCとを備える。メモリセルアレイMAは4個のサブアレイSUB1～SUB4に分割される。サブアレイSUB1～SUB4の各々は、行及び列に配置された8M($=8 \times 2^{20}$)個のメモリセル(図示せず)と、行に配置された1K($=2^{10}$)個のワード線WLと、列に配置された8K($=8 \times 2^{10}$)個のビット線対BLと、ビット線対BLに対応して設けられた8K個のセンスアンプSAとを備える。

【0019】

サブアレイSUB1～SUB4の各々はさらに4つの領域#1～#4に分割される。領域#1～#4の各々は256個のワード線WLを含む。8K個のセンスアンプSAは領域#1及び#2の間と領域#3及び#4の間とに4K個ずつ配置される。メモリセルアレイMA全体はさらに128個のブロックBKに分割される。各ブロックBKは32個のワード線WLを含む。

【0020】

128個のブロックBKに対応し、ロウデコーダRDも128個のブロックロウデコーダBRDに分割される。各ブロックロウデコーダBRDは対応するブロックBK内の32個のワード線WLの中から1個を選択する。リフレッシュサイクル制御回路RCCCは、128個のブロックBKに適したリフレッシュ周期T1～T128をそれぞれ設定する。

【0021】

図2を参照して、このDRAMはさらに、アドレスレシーバADRと、ロウアドレスカウンタRACと、セクタSELと、プリデコーダPDEC1及びPDEC2と、ブロックデコーダBDECとを備える。本実施の形態の特徴はリフレッシュサイクル制御回路RCCCを設けた点であり、それ以外の構成は従来と同じある。

【0022】

アドレスレシーバADRは、入力された外部ロウアドレス信号EADを受信し、セクタSELに与える。ロウアドレスカウンタRACは、内部ロウアドレス信号IADを内部的に発生し、セクタSELに与える。メモリセルアレイMA全体にある4Kのワード線WLの中から1個のワード線WLを特定しなければならないので、外部ロウアドレス信号EAD及び内部ロウアドレス信号IADはともに12ビットである。

【0023】

セクタSELは、リフレッシュイネーブル信号REに応答して、アドレスレシーバADRからの外部ロウアドレス信号EAD又はロウアドレスカウンタRACからの内部ロウアドレス信号IADを選択する。リフレッシュイネーブル信号REは通常アクセス時にL（論理ロー）レベルになり、リフレッシュ時にH（論

理ハイ) レベルになる。リフレッシュイネーブル信号REがLレベルのとき、セクタSELは外部ロウアドレス信号EADを選択する。リフレッシュイネーブル信号REがHレベルのとき、セクタSELは内部ロウアドレス信号IADを選択する。セクタSELは選択したロウアドレス信号のうち下位2ビット(第1及び第2ビット)をプリデコーダPDEC1に与え、その次の下位3ビット(第3～第5ビット)をプリデコーダPDEC2に与え、上位7ビット(第6～第12ビット)をブロックデコーダBDECに与える。

【0024】

プリデコーダPDEC1は、2ビットのロウアドレス信号をデコードして4($=2^2$)ビットのプリデコード信号PD1を発生し、ロウデコーダRDに与える。プリデコーダPDEC2は、3ビットのロウアドレス信号をデコードして8($=2^3$)ビットのプリデコード信号PD2を発生し、ロウデコーダRDに与える。ブロックデコーダBDECは、7ビットのロウアドレス信号をデコードして128($=2^7$)ビットのブロック選択信号BSIを発生し、リフレッシュサイクル制御回路RCCCに与える。

【0025】

リフレッシュサイクル制御回路RCCCは、ブロック選択信号BSIを予め定められた分周比で分周してブロックBK用にリフレッシュ周期を設定する。具体的には、リフレッシュイネーブル信号REがLレベルのとき、リフレッシュサイクル制御回路RCCCは、128ビットのブロック選択信号BSIをそのままロウデコーダRDに与える。このとき、換言すれば、リフレッシュサイクル制御回路RCCCはブロック選択信号BSIを分周比1で分周している。一方、リフレッシュイネーブル信号REがHレベルのとき、リフレッシュサイクル制御回路RCCCは、128ビットのブロック選択信号BSIをそれぞれ予め設定された分周比(たとえば $1/2$ 、 $1/4$)で分周し、ロウデコーダRDに与える。

【0026】

リフレッシュサイクル制御回路RCCCは、128ビットのブロック選択信号BSIに対応する128個のブロックリフレッシュサイクル制御回路BRCCCに分割される。

【0027】

リフレッシュイネーブル信号REがLレベルのとき、ブロックリフレッシュサイクル制御回路BRCCCの各々は、対応する1ビットのブロック選択信号BSIをそのまま対応するブロックロウデコーダBRDに与える。リフレッシュイネーブル信号REがHレベルのとき、ブロックリフレッシュサイクル制御回路BRCCCの各々は、対応する1ビットのブロック選択信号BSIを予め設定された分周比で分周し、対応するブロックロウデコーダBRDに与える。

【0028】

以下、リフレッシュサイクル制御回路RCCCに入力されるブロック選択信号を「入力ブロック選択信号BSI」といい、リフレッシュサイクル制御回路RCCCから出力されるブロック選択信号を「出力ブロック選択信号BSO」という。リフレッシュサイクル制御回路RCCCの具体的な回路構成は後述する。

【0029】

ロウデコーダRDは、128ビットの出力ブロック選択信号BSOに応答して128個のブロックBKの中から1個を選択し、さらにプリデコード信号PD1及びPD2に応答して、選択されたブロックBK内の32個のワード線WLの中から1個を選択して活性化する。

【0030】

具体的には、ロウデコーダRDでは、128ビットの出力ブロック選択信号BSOに応答して128個のブロックロウデコーダBRDの中から1個が選択され、活性化される。活性化されたブロックロウデコーダBRDは8ビットのプリデコード信号PD2に応答して対応するブロックBK内の32個のワード線WLの中から4個を選択し、さらに4ビットのプリデコード信号PD1に応答して4個のワード線WLの中から1個を選択する。

【0031】

図3は、1個のブロックロウデコーダBRDに対応するブロックリフレッシュサイクル制御回路BRCCCの構成を示す。図3を参照して、ブロックリフレッシュサイクル制御回路BRCCCは、所望の分周比を設定するヒューズ回路FCと、ヒューズ回路FCに設定された分周比でブロック選択信号BSIを分周する

分周器FDとを備える。リフレッシュサイクル制御回路RCCC全体は、図3に示したブロックリフレッシュサイクル制御回路BRCCCを128個備える。

【0032】

図4を参照して、ヒューズ回路FCは、プルアップ抵抗RA及びRBと、ポリシリコンなどからなるヒューズFA及びFBとを備える。ヒューズFA及びFBがともに切断されていない場合、ヒューズ信号FAI及びFBIはそれぞれヒューズFA及びFBによりともにLレベルにされる。ヒューズFAのみが切断された場合、ヒューズ信号FAIのみがプルアップ抵抗RAによりHレベルにされる。ヒューズFA及びFBがともに切断された場合、ヒューズ信号FAI及びFBIはそれぞれプルアップ抵抗RA及びRBによりともにHレベルにされる。

【0033】

ヒューズ回路FCはプルアップ抵抗RA及びRBとポリシリコンなどからなるヒューズFA及びFBとで構成され、MOSトランジスタなどを含んでいないため、ロウデコーダRDの上に形成される。したがって、ヒューズ回路FCの追加によるチップ面積の増大を抑えることができる。

【0034】

再び図3を参照して、分周器FDは、転送ゲートTGと、ラッチ回路LCと、カウンタCTRと、AND（論理積）ゲートANDとを備える。

【0035】

転送ゲートTGは、リフレッシュイネーブル信号REがHレベルのときオンになり、Lレベルのときオフになる。ラッチ回路LCは、相互に接続されたインバータIV1及びIV2とからなる。リフレッシュイネーブル信号REがHレベルのとき、転送ゲートTGは入力ブロック選択信号BSIをラッチ回路LCに与える。ラッチ回路LCは入力ブロック選択信号BSIをラッチし、それを反転したカウンタ入力信号CINをカウンタCTRに与える。

【0036】

カウンタCTRはカウンタ入力信号CINに応答してカウントアップされ、2ビットのカウンタ出力信号FAO、FBOを出力する。カウンタ出力信号FAOがLSB（Least Significant Bit）で、カウンタ出力信号FABがMSB（Mos

t Significant Bit) である。

【0037】

カウンタCTRは、リフレッシュイネーブル信号REがHレベルのとき活性化され、Lレベルのとき非活性化される。ヒューズ信号FAI及びFBIがともにLレベルときも、カウンタCTRは非活性化される。非活性化されたカウンタCTRはカウンタ出力信号FAO及びFBOとともにHレベルに固定する。活性化されたカウンタCTRはカウンタ入力信号CINの立ち下がりエッジに応答してカウントアップされる。ヒューズ信号FAIがHレベルで、ヒューズ信号FBIがLレベルのとき、カウンタCTRはMSBのカウンタ出力信号FAOをHレベルに固定し、1ビットカウンタとして機能する。ヒューズ信号FAI及びFBIがともにHレベルのとき、カウンタCTRは2ビットカウンタとして機能する。

【0038】

次に、このDRAMの動作を説明する。

【0039】

リテンションテスト時にブロックBKごとにデータ保持時間を計測し、256msのリテンションテストを合格したブロックBKについてはヒューズFA及びFBとともに切断する。256msのリテンションテストは不合格になったが、128msのリテンションテストを合格したブロックについてはヒューズFAのみを切断する。それ以外のブロック、つまり両方のリテンションテストを不合格になったブロックについてはヒューズFA及びFBともに切断しない。

【0040】

(1) 通常アクセス時

通常アクセス時には、リフレッシュイネーブル信号REがLレベルになる。したがって、セクタSELは外部ロウアドレス信号EADを選択する。また、128個の全ブロックBKについて、カウンタCTRはカウンタ出力信号FAO及びFBOとともにHレベルに固定するので、ANDゲートANDは入力ブロック選択信号BSIをそのまま出力ブロック選択信号BSOとしてブロックロウデコードBRDに与える。したがって、リフレッシュサイクル制御回路RCCCは128ビットの入力ブロック選択信号BSIをそのまま128ビットの出力プロッ

ク選択信号BSOとしてロウデコーダRDに与える。よって、このDRAMは、リフレッシュサイクル制御回路RCCCを持たない従来のDRAMと同様に動作する。

【0041】

(2) リフレッシュ時

リフレッシュ時には、リフレッシュイネーブル信号REがHレベルになる。したがって、セクタSELは内部ロウアドレス信号IADを選択する。また、リフレッシュサイクル制御回路RCCCはヒューズFA及びFBの切断状況に応じて異なった機能を発揮する。

【0042】

以下、バーストリフレッシュを例に挙げ、図5を参照してその動作を説明する。バーストリフレッシュは、4K個の全ワード線WLを順番に活性化して32M個の全メモリセルをリフレッシュするものである。

【0043】

(2. 1) ヒューズFA及びFBがともに切断されていない場合

128個のブロックBKのうちある1個に注目する。この注目したブロックBKに対応するブロックリフレッシュサイクル制御回路BRCCCにおいて、ヒューズFA及びFBがともに切断されていない場合、ヒューズ信号FAI及びFBIはともにLレベルになる。そのため、カウンタCTRは非活性化され、カウンタ出力信号FAO及びFBOをともにHレベルに固定する。したがって、ANDゲートANDは入力ブロック選択信号BSIをそのまま出力ブロック選択信号BSO1としてブロックロウデコーダBRDに与える。

【0044】

入力ブロック選択信号BSIは0.5msの間ずっとHレベルになるから、出力ブロック選択信号BSO1も同様に0.5msの間ずっとHレベルになる。ブロックロウデコーダBRDはこの0.5msの間に32個のワード線WLを15.6μsずつ順番に活性化し、注目しているブロックBK内の全メモリセルをリフレッシュする。リフレッシュを完了すると、入力ブロック選択信号BSIはLレベルになる。この入力ブロック選択信号BSIがLレベルの間に、注目してい

るブロックBK以外の127個のブロックについて、入力ブロック選択信号BSIが0.5msずつHレベルになる。各ブロックに0.5msかかるので、127個のブロックには63.5ms($=0.5\text{ms} \times 127$)かかる。その結果、注目しているブロックBKについては、最初のリフレッシュ開始から64ms後に、入力ブロック選択信号BSI及び出力ブロック選択信号BSO1が再びHレベルになり、リフレッシュが再開される。

【0045】

したがってこの場合、注目しているブロックBK内の全メモリセルは通常通り64msの周期でリフレッシュされる。

【0046】

(2.2) ヒューズFAが切断された場合

注目しているブロックBKに対応するブロックリフレッシュサイクル制御回路BRCCCにおいて、ヒューズFAのみが切断された場合、ヒューズ信号FAIはHレベルになり、ヒューズ信号FBIはLレベルになる。そのため、カウンタCTRはMSBのカウント出力信号FAOをHレベルに固定し、1ビットカウンタとして機能する。一方、Hレベルのリフレッシュイネーブル信号REに応答して転送ゲートTGがオンになっているので、ラッチ回路LCは入力ブロック選択信号BSIを反転したカウンタ入力信号CINをカウンタCTRに与える。カウンタCTRはカウンタ入力信号CINの立ち下がりエッジF1～F5に応じてカウントアップされるため、LSBのカウント出力信号FAOはそれに応じて繰り返しL又はHレベルに変化する。カウンタ出力信号FAOがLレベルの間、ANDゲートANDは出力ブロック選択信号BSO2をLレベルに固定する。すなわち、カウンタ出力信号FAOがLレベルの間、Hレベルの入力ブロック選択信号BSIは間引かれ、出力ブロック選択信号BSO2に現れない。よって、出力ブロック選択信号BSO2の周期は入力ブロック選択信号BSIの周期の2倍の128msになる。

【0047】

したがってこの場合、注目しているブロックBK内の全メモリセルは通常の2倍の128msの周期でリフレッシュされる。

【0048】

(2. 3) ヒューズFA及びFBがともに切断された場合

注目しているブロックBKに対応するブロックリフレッシュサイクル制御回路BRCCCにおいて、ヒューズFA及びFBがともに切断された場合、ヒューズ信号FAI及びFBIはともにHレベルになる。そのため、カウンタCTRは2ビットカウンタとして機能する。MSBのカウンタ出力信号FAOはLSBのカウンタ出力信号FBOの立ち上がりエッジに応じて繰り返しL又はHレベルに変化する。カウンタ出力信号FAO又はFBOがLレベルの間、ANDゲートANDは出力ブロック選択信号BSO3をLレベルに固定する。すなわち、カウンタ出力信号FAO又はFABがLレベルの間、Hレベルの入力ブロック選択信号BSIは間引かれ、出力ブロック選択信号BSO3に現れない。よって、出力ブロック選択信号BSO3の周期は入力ブロック選択信号BSIの周期の4倍の256msになる。

【0049】

したがってこの場合、注目しているブロックBK内の全メモリセルは通常の4倍の256msの周期でリフレッシュされる。

【0050】

なお、カウンタCTRはカウンタ入力信号CINの立ち下がりエッジF1～F5に応じてカウントアップされるが、リフレッシュイネーブル信号REがHレベルになってから最初のカウンタ入力信号CINの立ち下がりエッジF0に応じてはリセットされ、カウンタ出力信号FAO及びFBOはともにHレベルになる。したがって、ヒューズFA又はFBが切断されていてもいなくても、リフレッシュモードに入ってから最初のリフレッシュは安全のために必ず行われる。

【0051】

以上のように本実施の形態によれば、ブロックBKごとにリテンションテストを行い、256msのリテンションテストを合格したブロックBKについては256msのリフレッシュ周期を設定し、128msのリテンションテストを合格したブロックBKについては128msのリフレッシュ周期を設定し、それ以外のブロックBKについては64msのリフレッシュ周期を設定する。したがって

、256msのリフレッシュ周期を設定したブロックBKではリフレッシュ電流は4分の1に低減され、128msのリフレッシュ周期を設定したブロックBKではリフレッシュ電流は2分の1に低減される。また、128個のブロックBKに適したリフレッシュ周期をそれぞれ設定することができるため、従来よりもきめ細かくリフレッシュ周期を設定することができる。しかも従来のDRAMに簡単なリフレッシュサイクル制御回路RCCを追加するだけで、上記効果を得ることができる。

【0052】

上記実施の形態ではブロック数は128個、リフレッシュ周期は64msの2倍及び4倍であるが、これらは特に限定されない。たとえばカウンタCTRを3ビットにすればリフレッシュ周期は8倍、カウンタCTRを4ビットにすればリフレッシュ周期は16倍になり、リフレッシュ周期の選択が増える。

【0053】

本実施の形態によれば、リフレッシュ電流 I_r は一般に次の式(1)で与えられる。

$$I_r = I_b \times F_2 / N_b + I_b / 2 \times F_4 / N_b + I_b / 4 \times (N_b - F_2 - F_4) / N_b \quad \dots (1)$$

【0054】

ここで、 I_b はリフレッシュ周期を64msにした場合の基本的なリフレッシュ電流、 F_n は $n \times 64ms$ のリテンションテストで不合格になるブロックの数、 N_b はブロックの総数である。

【0055】

仮に128msのリテンションテストで12ブロックが不合格になり、256msのリテンションテストで26ブロックが不合格になったとすると、この場合のリフレッシュ電流 I_r は次の式(2)で得られる。

$$\begin{aligned} I_r &= I_b \times 12 / 128 + I_b / 2 \times 26 / 128 + I_b / 4 \times (128 - 12 - 26) / 128 \\ &= I_b \times (12 / 128 + 1 / 2 \times 26 / 128 + 1 / 4 \times (128 - 12 - 26) / 128) = 0.371 I_b \quad \dots (2) \end{aligned}$$

【0056】

この場合のリフレッシュ電流 I_r は、リフレッシュ周期を一律に 64ms とした場合の3分の1近くになる。

【0057】

[第2の実施の形態]

図6を参照して、本発明の第2の実施の形態によるDRAMは、2個のメモリセルアレイMAを備える。各メモリセルアレイMAは、行及び列に配置された32M個のメモリセル（図示せず）と、行に配置された16K個のワード線WLと、列に配置された2K個のビット線対BLとを備える。各メモリセルアレイMAは32Mビットのメモリ容量を有する。DRAM全体は64Mビットのメモリ容量を有する。各メモリセルアレイMAは64個のサブアレイSUBに分割される。各サブアレイSUBは512Kビットのメモリ容量を有する。

【0058】

図7を参照して、各サブアレイSUBは、512K個のメモリセル（図示せず）と、256個のワード線WLと、2K個のビット線対BLとを備える。2K個のビット線対BLにはそれぞれ2K個のセンスアンプSAが接続される。

【0059】

図6に示した上下2個のメモリセルアレイMAの間には、図7に示すようにロウ系の周辺回路が配置される。ロウ系の周辺回路は、リフレッシュサイクル制御回路RCCCと、2個のロウデコーダRDと、2個の仮想ワード線デコーダ及びワード線ドライバ（以下、単に「ワード線ドライバ」という）VWDWLDと、制御回路CCとを備える。

【0060】

リフレッシュサイクル制御回路RCCCは上下のサブアレイSUBの中央に設けられる。詳細は後述する。ロウデコーダRDはリフレッシュサイクル制御回路RCCCの両側に設けられる。上側のロウデコーダRDは上側のサブアレイSUB内にあるワード線WLをプリデコード信号に応答して選択する。下側のロウデコーダRDは下側のサブアレイSUBにあるワード線WLをプリデコード信号に応答して選択する。プリデコード信号はプリデコーダから与えられる。

【0061】

このプリデコーダは本実施の形態では特に図示されていないが、基本的に図2に示した第1の実施の形態のプリデコーダPDEC1及びPDEC2と同じである。すなわち、プリデコーダはロウアドレス信号をデコードしてプリデコード信号を発生する。ロウアドレス信号としては、通常アクセス時に外部から入力された外部ロウアドレス信号が用いられ、リフレッシュ時には内部的に生成された内部ロウアドレス信号が用いられる。

【0062】

ワード線ドライバVWDWLDはロウデコーダRDのさらに外側に設けられる。上側のワード線ドライバVWDWLDは上側のロウデコーダRDにより選択されたワード線WLを駆動する。下側のワード線ドライバVWDWLDは下側のロウデコーダRDにより選択されたワード線WLを駆動する。1回の動作で、2個のサブアレイSUBが同時に活性化され、4K個のメモリセルが一斉にリフレッシュされる。

【0063】

リフレッシュサイクル制御回路RCCC、ロウデコーダRD及びワード線ドライバVWDWLDの詳細を図8に示す。本実施の形態の特徴はリフレッシュサイクル制御回路RCCCを設けた点であり、それ以外の構成は従来と同じある。

【0064】

図8を参照して、ロウデコーダRDは、プリデコード信号ZL0に応答してサブアレイSUB、つまり256個のワード線WLを選択する。ロウデコーダRDはさらに、8ビットのプリデコード信号ZL1～ZL8に応答して、選択された256個のワード線WLの中から32個のワード線WLを選択する。サブアレイSUBは8個のブロックBK1～BK8に分割される。ブロックBK1～BK8の各々はこれら32個のワード線WLを含む。各メモリセルアレイMA全体は512(=64×8)個のブロックに分割される。

【0065】

ロウデコーダRDはさらに、4ビットのプリデコード信号ZL9～ZL12に
応答して、選択された32個のワード線WLの中から8個のワード線WLを選択

する。これを実現するために、ロウデコーダRDは、ANDツリーを構成する8個のAND回路AND 2 1～AND 2 8を備える。たとえばAND回路AND 2 8は、プリデコード信号Z L 0、Z L 8及びZ L 1 2の全てがHレベルのとき、対応する8個のワード線WLを選択する。

【0 0 6 6】

ワード線ドライバVWDWLDは、ロウアドレス信号の3ビットに応答して各ワード線WLに供給される電源をオン又オフにし、これによりロウデコーダRDにより選択された8個のワード線WLの中から1個のワード線WLを駆動する。

【0 0 6 7】

リフレッシュサイクル制御回路RCCCは、2 5 6個のサブアレイ用に6 4 m s又は1 2 8 m sのリフレッシュ周期を設定し、5 1 2個のブロック用に6 4 m s又は2 5 6 m sのリフレッシュ周期を設定する。リフレッシュサイクル制御回路RCCCは、プリデコーダ（図示せず）から9ビットのプリデコード信号Z L I 0～Z L I 8を受け、9ビットのプリデコード信号Z L 0～Z L 8をロウデコーダRDに与える。以下、リフレッシュサイクル制御回路RCCCに入力されるプリデコード信号をここから出力されるプリデコード信号Z L 0～Z L 8と区別するために特に「入力プリデコード信号」という。

【0 0 6 8】

リフレッシュサイクル制御回路RCCCは、9ビットのプリデコード信号Z L 0～Z L 8に対応して設けられた9個のブロックリフレッシュサイクル制御回路BRCCC 0～BRCCC 8を備える。各ブロックリフレッシュサイクル制御回路BRCCC i（i = 0～8）は、入力プリデコード信号Z L I iを予め設定された分周比（1、1／2又は1／4）で分周し、その分周したプリデコード信号Z L iを出力する。各ブロックリフレッシュサイクル制御回路BRCCC iは、ヒューズ回路F C iと、分周器F D iとを備える。したがって、リフレッシュサイクル制御回路RCCC全体は、9個のヒューズ回路F C 0～F C 8と、それらに対応して設けられた9個の分周器F D 0～F D 8とを備える。

【0 0 6 9】

各ヒューズ回路F C iは、1個のプルアップ抵抗（図示せず）と、1個のヒュ

ーズ（図示せず）とを備える。すなわち、各ヒューズ回路 FC_i は、図 4 に示したヒューズ回路 FC のうち 1 系統だけを備える。各ヒューズ回路 FC_i は、内部のヒューズが切断されていないとき L レベルのヒューズ信号 FI_i を出力し、内部のヒューズが切断されたとき H レベルのヒューズ信号 FI_i を出力する。ヒューズ回路 FC_0 は、1 又は $1/2$ の分周比を設定する。ヒューズ回路 $FC_1 \sim FC_8$ は、1 又は $1/4$ の分周比を設定する。

【0070】

各分周器 FD_i は、転送ゲート T_i と、ラッチ回路 LC_i と、カウンタ CTR_i と、AND（論理積）ゲート AND_i とを備える。これらの構成及び機能は、カウンタ CTR_i を除き、図 3 に示した分周器 FD と同じである。分周器 FD_0 は、ヒューズ回路 FC に設定された分周比で入力プリデコード信号 ZLI_0 を分周する。分周器 $FD_1 \sim FD_8$ は、それぞれヒューズ回路 $FC_1 \sim FC_8$ に設定された分周比で入力プリデコード信号 $ZLI_1 \sim ZLI_8$ を分周する。

【0071】

カウンタ CTR_0 は、リフレッシュイネーブル信号 RE が H レベルに活性化されかつヒューズ信号 FI_0 が H レベルになったとき活性化され、リフレッシュイネーブル信号 RE 又はヒューズ信号 FI_0 が L レベルになったとき非活性化される。活性化されたカウンタ CTR_0 は 1 ビットカウンタとして機能し、カウンタ入力信号 Cin の立ち下がりエッジに応答してカウントアップされ、1 ビットのカウンタ出力信号 $Count_{00}$ を出力する。入力プリデコード信号 ZLI_0 の立ち上がりエッジごとに、カウンタ出力信号 $Count_{00}$ は「0」（L レベル）→「1」（H レベル）と繰り返し変化する。したがってこの場合、AND ゲート AND_0 は入力プリデコード信号 ZLI_0 を分周比 $1/2$ で分周する。一方、非活性化されたカウンタ CTR_0 はカウンタ出力信号 $Count_{00}$ を H レベルに固定する。したがってこの場合、AND ゲート AND_0 は入力プリデコード信号 ZLI_0 をそのままプリデコード信号 ZL_0 として出力する。換言すれば、AND ゲート AND_0 は入力プリデコード信号 ZLI_0 を分周比 1 で分周する。

【0072】

カウンタ CRT_i ($i = 1 \sim 8$) は、リフレッシュイネーブル信号 RE が H レ

ベルに活性化されかつヒューズ信号 $F I_i$ が H レベルになったとき活性化され、リフレッシュイネーブル信号 $R E$ 又はヒューズ信号 $F I_i$ が L レベルになったとき非活性化される。活性化されたカウンタ $C T R_i$ は 2 ビットカウンタとして機能し、カウンタ入力信号 $C i_n$ の立ち下がりエッジに応答してカウントアップされ、2 ビットのカウンタ出力信号 $C o u t 1_i$, $C o u t 0_i$ を出力する。カウンタ出力信号 $C o u t 1_i$ が M S B で、カウンタ出力信号 $C o u t 0_i$ が L S B である。入力プリデコード信号 $Z L I_i$ の立ち上がりエッジごとに、カウンタ出力信号 $C o u t 1_i$, $C o u t 0_i$ は「00」→「01」→「10」→「11」と繰り返し変化する。したがってこの場合、AND ゲート $A N D 0$ は入力プリデコード信号 $Z L I_i$ を分周比 $1/4$ で分周する。一方、非活性化されたカウンタ $C T R_i$ はカウンタ出力信号 $C o u t 1_i$ 及び $C o u t 0_i$ をともに H レベルに固定する。したがってこの場合、AND ゲート $A N D i$ は入力プリデコード信号 $Z L I_i$ をそのままプリデコード信号 $Z L i$ として出力する。換言すれば、AND ゲート $A N D i$ は入力プリデコード信号 $Z L I_i$ を分周比 1 で分周する。

【0073】

なお、ヒューズ回路 $F C 0 \sim F C 8$ はロウデコーダ $R D$ を形成する AND ツリーの上に配置される。分周器 $F D 0 \sim F D 8$ は図 7 中の制御回路 $C C$ 内に配置される。このような配置を採用すれば、リフレッシュサイクル制御回路 $R C C C$ の追加によるチップ面積の増大を抑えることができる。

【0074】

次に、この D R A M の動作を説明する。

【0075】

64 個のサブアレイ $S U B$ のうち 128 ms のリテンションテストを合格したサブアレイ $S U B$ については、そのサブアレイ $S U B$ に対応するヒューズ回路 $F C 0$ のヒューズを切断する。さらに 512 個のブロックのうち 256 ms のリテンションテストも合格したブロック $B K_j$ ($j = 1 \sim 8$) については、そのブロック $B K_j$ に対応するヒューズ回路 $F C_j$ のヒューズも切断する。残りのブロック $B K_k$ ($k = 1 \sim 8$) については、そのブロック $B K_k$ に対応するヒューズ回路 $F C_k$ のヒューズを切断しない。

【0076】

(1) 通常アクセス時

通常アクセス時には、リフレッシュイネーブル信号REがLレベルになり、全カウンタCTR0～CTR8が非活性化される。カウンタCTR0はカウンタ出力信号Cout00をHレベルに固定する。カウンタCTR1～CTR8はカウンタ出力信号Cout11, Cout01～Cout18, Cout08をそれぞれHレベルに固定する。したがって、リフレッシュサイクル制御回路RCCCは入力プリデコード信号ZLI0～ZLI8をそのままプリデコード信号ZL0～ZL8としてロウデコーダRDに与える。よって、このDRAMは、リフレッシュサイクル制御回路RCCCを持たない従来のDRAMと同様に動作する。

【0077】

(2) リフレッシュ時

以下、バーストリフレッシュを例に挙げ、その動作を図9及び図10を参照して説明する。

【0078】

バーストリフレッシュは256個のワード線WLを順次選択し、サブアレイSUB内の全メモリセルをリフレッシュする。このバーストリフレッシュ時には、図9及び図10に示すように、リフレッシュイネーブル信号REは64msの周期で、256個のワード線WLを選択する間ずっとHレベルになる。

【0079】

(2. 1) 全ヒューズ回路が切断されていない場合 (図9)

ヒューズ回路FC0～FC8の全ヒューズが切断されていない場合、図9に示すように、全ブロックリフレッシュサイクル制御回路BRCCC0～BRCCC8は入力プリデコード信号ZLI0～ZLI8をそのままプリデコード信号ZL0～ZL8としてロウデコーダRDに与える。したがって、リフレッシュイネーブル信号REがHレベルの間に、プリデコード信号ZL0はずっとHレベルになり、プリデコード信号ZL1～ZL8は順次Hレベルになる。各プリデコード信号ZLi (i=1～8) がHレベルの間、対応するブロックBK i が選択され、そのブロックBK i 内の32個のワード線WLが順次選択され、これによりその

ブロックBK i内の全メモリセルがリフレッシュされる。プリデコード信号ZL 1～ZL 8はいずれも64msの周期でHレベルになるので、サブアレイSUB内の全メモリセルは通常通り64msの周期でリフレッシュされる。

【0080】

(2. 2) ヒューズ回路FC 0及びFC 3が切断された場合(図10)

リテンションテストの結果、サブアレイSUB内の全メモリセルのデータ保持時間が128ms以上の場合、ヒューズ回路FC 0のヒューズを切断する。さらに、たとえばブロックBK 3内の全メモリセルのデータ保持時間が256ms以上の場合、ヒューズ回路FC 3のヒューズを切断する。

【0081】

この場合、図10に示すように、ブロックリフレッシュサイクル制御回路BRCCC 1, BRCCC 2, BRCCC 4～BRCCC 8は入力プリデコード信号ZLI 1, ZLI 2, ZLI 4～ZLI 8をそのままプリデコード信号ZL 1, ZL 2, ZL 4～ZL 8としてロウデコーダRDに与えるが、ブロックリフレッシュサイクル制御回路BRCCC 0は入力プリデコード信号ZLI 0を分周比1/2で分周し、ブロックリフレッシュサイクル制御回路BRCCC 3は入力プリデコード信号ZLI 3を分周比1/4で分周する。したがって、プリデコード信号ZL 1, ZL 2, ZL 4～ZL 8の周期は64msのままであるが、プリデコード信号ZL 0の周期は128msになり、プリデコード信号ZLI 3の周期は256msになる。

【0082】

プリデコード信号ZL 0の周期が128msになるので、サブアレイSUBは128msの周期でしか選択されない。したがって、プリデコード信号ZL 0がLレベルの間にプリデコード信号ZL 1, ZL 2, ZL 4～ZL 8がHレベルになっても、ブロックBK 1, BK 2, BK 4～BK 8は選択されない。その結果、ブロックBK 1, BK 2, BK 4～BK 8はプリデコード信号ZL 0の周期128msでリフレッシュされ、ブロックBK 3はプリデコード信号ZL 3の周期256msでリフレッシュされる。

【0083】

本実施の形態では 8 個の 3 入力 AND ゲート AND 1 ～ AND 8 を用いているが、これに代えて 8 個の 4 入力 AND ゲートを用い、AND ゲート AND 0 から出力されるプリデコード信号 ZL 0 をロウデコーダ RD に代えてこれら 8 個の 4 入力 AND ゲートに共通に与えるようにしてもよい。この場合の動作は上記と同じである。

【0084】

以上のように第 2 の実施の形態によれば、最短データ保持時間が 128 ms 以上のサブアレイ SUB についてはヒューズ回路 FC 0 を切断することによりこのサブアレイ SUB のリフレッシュ周期を通常の 2 倍の 128 ms に設定することができる。さらにこのサブアレイ SUB のうち最短データ保持時間が 256 ms 以上のブロックについては対応するヒューズ回路を切断することによりそのブロックのリフレッシュ周期を通常の 4 倍の 256 ms に設定することができる。したがって、リフレッシュ周期を通常よりも長く設定したサブアレイやブロックにおいてはリフレッシュに必要な消費電力を低減することができる。

【0085】

また、従来の方式では 8 個のブロック BK 1 ～ BK 8 のうち 1 個でも最短データ保持時間が 128 ～ 256 ms であれば、たとえ他のブロックの最短データ保持時間が 256 ms 以上であっても、サブアレイ SUB 全体のリフレッシュ周期を 128 ms に設定しなければならない。しかし本実施の形態では、サブアレイ、ブロックの順にリフレッシュ周期を階層的に設定することができるので、最短データ保持時間が 128 ～ 256 ms のブロックのリフレッシュ周期のみを 128 ms に設定し、その他のブロックのリフレッシュ周期を 256 ms に設定することができる。その結果、その他のブロックにおけるリフレッシュに必要な消費電力を従来よりも低減することができる。しかも、従来の DRAM にリフレッシュサイクル制御回路 R C C C を追加するだけで上記のような効果を得ることができる。

【0086】

本実施の形態によれば、リフレッシュ電流 I_r は一般に次の式 (3) で与えられる。

$$I_r = I_b \times F_2 / N_{b1} + I_b / 2 \times F_4 / N_{b2} + I_b / 4 \times (N_{b2} - F_4 - F_2 \times N_{b2} / N_{b2}) / N_{b2} \quad \dots (3)$$

【0087】

ここで、 I_b 及び F_n は上記式 (1) と同じである。 N_{bn} は $n \times 64 \text{ ms}$ のリフレッシュ周期でリテンションテストを行うときに適用するブロックの総数である。

【0088】

仮に 128 ms のリテンションテストで 64 ブロックのうち 10 ブロックが不合格になり、 256 ms のリテンションテストで 512 ブロックのうち 100 ブロックが不合格になったとすると、この場合のリフレッシュ電流 I_r は次の式 (4) で得られる。

$$\begin{aligned} I_r &= I_b \times 10 / 64 + I_b / 2 \times 100 / 512 + I_b / 4 \times (512 - 100 - 10 \times 512 / 64) / 512 \\ &= I_b \times (10 / 64 + 1 / 2 \times 100 / 512 + 1 / 4 \times 332 / 512) = 0.416 I_b \quad \dots (4) \end{aligned}$$

【0089】

この場合のリフレッシュ電流は、リフレッシュ周期を一律に 64 ms とした場合の半分以下になる。

【0090】

ただし、これは 128 ms のリテンションテストで不合格になる 10 ブロックと、 256 ms のリテンションテストで不合格になる 100 ブロックとが全く重複しない最悪の場合である。仮に 256 ms のリテンションテストで不合格になる 100 ブロックのうち 80 ブロックが 128 ms のリテンションテストで不合格になる 10 ブロックに既に含まれていたとすると、 256 ms のリテンションテストで不合格になるのは実質 20 ブロックしかない。よって、この場合のリフレッシュ電流 I_r は次の式 (5) で得られる。

$$I_r = I_b \times (10 / 64 + 1 / 2 \times 20 / 512 + 1 / 4 \times 412 / 512) = 0.376 I_b \quad \dots (5)$$

【0091】

この場合のリフレッシュ電流 I_r は、リフレッシュ周期を一律に 64ms とした場合の 3 分の 1 近くになる。

【0092】

[第3の実施の形態]

本第3の実施の形態は、上記第2の実施の形態と同じ機能を実現するものであるが、回路構成が異なる。

【0093】

本実施の形態では図11に示すように、ヒューズ回路 $FC0$ はあるが、分周器 $FD0$ はない。したがって、入力プリデコード信号 $ZLI0$ は常にそのままプリデコード信号 $ZL0$ としてロウデコーダ RD に与えられる。ヒューズ回路 $FC0$ から出力されたヒューズ信号 $FI0$ は8個のカウンタ $CTR1 \sim CTR8$ 全てに与えられる。ヒューズ回路 $FC0$ が切断され、ヒューズ信号 $FI0$ が H レベルになると、カウンタ $CTR1 \sim CTR8$ は LSB のカウンタ出力信号 $Cout01 \sim Cout08$ をイネーブルする。ヒューズ回路 $FC1 \sim FC8$ が切断され、ヒューズ信号 $FI1 \sim FI8$ が H レベルになると、カウンタ $CTR1 \sim CTR8$ は MSB のカウンタ出力信号 $Cout11 \sim Cout18$ をイネーブルする。

【0094】

リテンションテストの結果、全ブロック $BK1 \sim BK8$ の最短データ保持時間が 128ms 以上の場合、ヒューズ回路 $FC0$ を切断する。さらに、たとえばブロック $BK8$ の最短データ保持時間が 256ms 以上の場合、ヒューズ回路 $FC8$ も切断する。この場合、 H レベルのヒューズ信号 $FI0$ に応答して全カウンタ $CTR1 \sim CTR8$ のカウンタ出力信号 $Cout01 \sim Cout08$ がイネーブルされ、 H レベルのヒューズ信号 $FI8$ に応答してカウンタ $CTR8$ のカウンタ出力信号 $Cout18$ がイネーブルされる。したがって、カウンタ $CTR8$ のみが2ビットカウンタとして機能し、他のカウンタ $CTR1 \sim CTR7$ は1ビットカウンタとして機能する。よって、分周器 $FD8$ のみが入力プリデコード信号 $ZLI8$ を分周比 $1/4$ で分周し、他の分周器 $FD1 \sim FD7$ は入力プリデコード信号 $ZLI1 \sim ZLI7$ を分周比 $1/2$ で分周する。

【0095】

以上の結果、図 12 に示すように、プリデコード信号 ZL1～ZL7 は 128 ms の周期で H レベルになり、プリデコード信号 ZL8 は 256 ms の周期で H レベルになる。そのため、ブロック BK1～BK7 は通常の 2 倍の周期でリフレッシュされ、ブロック BK8 は通常の 4 倍の周期でリフレッシュされる。

【0096】

[第 4 の実施の形態]

本第 4 の実施の形態は、上記第 3 の実施の形態とブロック構成が異なる。上記実施の形態 3 では各ブロック内の 32 個のワード線 WL は 1 箇所集中しているのに対し、本実施の形態では 8 個ごとに 4 箇所分散している。

【0097】

本実施の形態では図 13 に示すように、ロウデコーダ RD は、4 個の AND ゲート AND41～AND44 を含む AND ツリーで構成される。ロウデコーダ RD は、プリデコード信号 ZL0 に応答して 256 個のワード線 WL を選択する。ロウデコーダ RD はさらに、選択された 256 個のワード線 WL の中から 32 個のワード線 WL をプリデコード信号 ZL1～ZL8 に応答して選択する。ロウデコーダ RD はさらに、選択された 32 個のワード線 WL の中から 8 個のワード線 WL をプリデコード信号 ZL9～ZL12 に応答して選択する。たとえばプリデコード信号 ZL8 が H レベルになった場合、AND ゲート AND41～AND44 の各々に対応する 8 個のワード線 WL を選択する。このとき選択された 32 個のワード線 WL がブロック BK8 を構成する。

【0098】

データ保持時間の短いメモリセルが 1 箇所集中している場合には上記第 3 の実施の形態の方が好ましいが、分散している場合には本第 4 の実施の形態の方が好ましい。

【0099】

本実施の形態のリフレッシュサイクル制御回路 RCCC は上記第 3 の実施の形態と同じであるが、上記第 2 の実施の形態と同じにしてもよい。

【0100】

また上記第 2～4 の実施の形態では、128 ms のリフレッシュ周期を 64 ブ

ロック（サブアレイ）に分けて設定し、256msのリフレッシュ周期を512ブロックに分けて設定しているが、リフレッシュ周期設定の階層数、リフレッシュ周期の種類、ブロック数などは全て例示であって、特に限定されるものではない。たとえばカウンタのビット数を3ビット、4ビットなどと増やせば、リフレッシュ周期の種類も512ms、1024msなどと増やすことができる。

【0101】

また上記2階層方式では256個のワード線当たり9個のヒューズを設けているが、32個のワード線当たり2個のヒューズ、つまり256個のワード線当たり16個のワード線を設ければ、各2ビットカウンタの出力をイネーブルすることができ、その結果、32個のワード線からなるブロックごとに64ms、128ms及び256msという3種類のリフレッシュ周期を選択することができる。

【0102】

以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態によるDRAMの全体構成を示す機能ブロック図である。

【図2】

図1中のロウデコーダ及びリフレッシュサイクル制御回路を含む周辺回路の構成を示す機能ブロック図である。

【図3】

図2中のブロックリフレッシュサイクル制御回路の構成を示す機能ブロック図である。

【図4】

図3中のヒューズ回路の構成を示す回路図である。

【図 5】

図 1～図 4 に示した D R A M のバーストリフレッシュ動作を示すタイミング図である。

【図 6】

本発明の第 2 の実施の形態による D R A M の全体構成を示す機能ブロック図である。

【図 7】

図 6 中の 1 個のサブアレイ及びその周辺回路の構成を示す機能ブロック図である。

【図 8】

図 7 中のリフレッシュサイクル制御回路、ロウデコーダ、仮想ワード線デコーダ及びワード線ドライバの構成を示す機能ブロック図である。

【図 9】

図 8 に示したリフレッシュサイクル制御回路において全ヒューズ回路が切断されていない場合の動作を示すタイミング図である。

【図 10】

図 8 に示したリフレッシュサイクル制御回路においてヒューズ回路 F C 0 及び F C 3 が切断された場合の動作を示すタイミング図である。

【図 11】

本発明の第 3 の実施の形態による D R A M におけるリフレッシュサイクル制御回路、ロウデコーダ、仮想ワード線デコーダ及びワード線ドライバの構成を示す機能ブロック図である。

【図 12】

図 11 に示したリフレッシュサイクル制御回路においてヒューズ回路 F C 0 及び F C 3 が切断された場合の動作を示すタイミング図である。

【図 13】

本発明の第 4 の実施の形態による D R A M におけるリフレッシュサイクル制御回路、ロウデコーダ、仮想ワード線デコーダ及びワード線ドライバの構成を示す機能ブロック図である。

【符号の説明】

MA メモリセルアレイ

SUB, SUB1～SUB4 サブアレイ

BK, BK1～BK8 ブロック

BDEC ブロックデコーダ

RAC ロウアドレスカウンタ

RD ロウデコーダ

BRD ブロックロウデコーダ

RCCC リフレッシュサイクル制御回路

BRCCC, BRCCC0～BRCCC8 ブロックリフレッシュサイクル制御回路

FD, FD0～FD8 分周器

FC, FC0～FC8 ヒューズ回路

BSI 入力ブロック選択信号

BSO, BSO1, BSO2, BSO3 出力ブロック選択信号

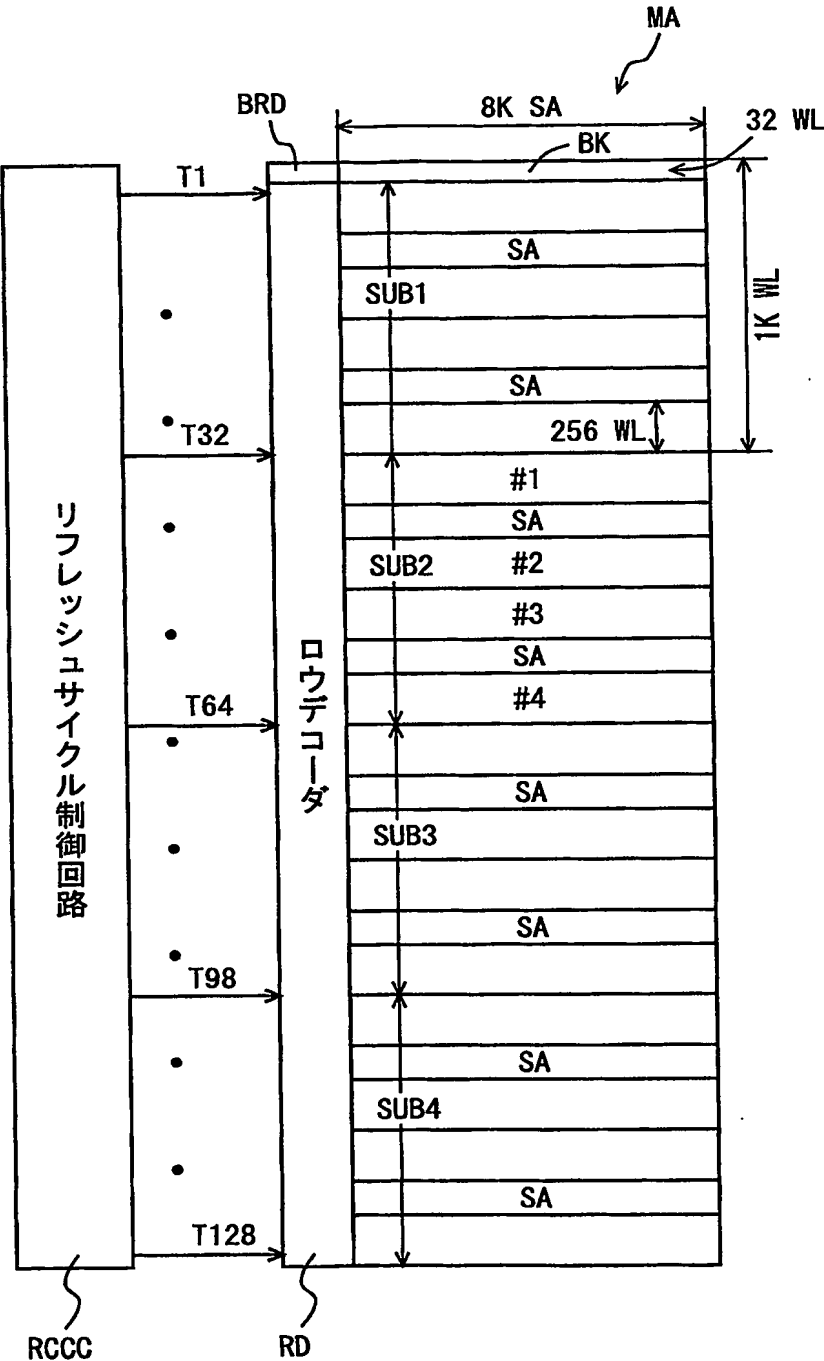
ZLI0～ZLI12 入力プリデコード信号

PD1, PD2, ZL0～ZL12 プリデコード信号

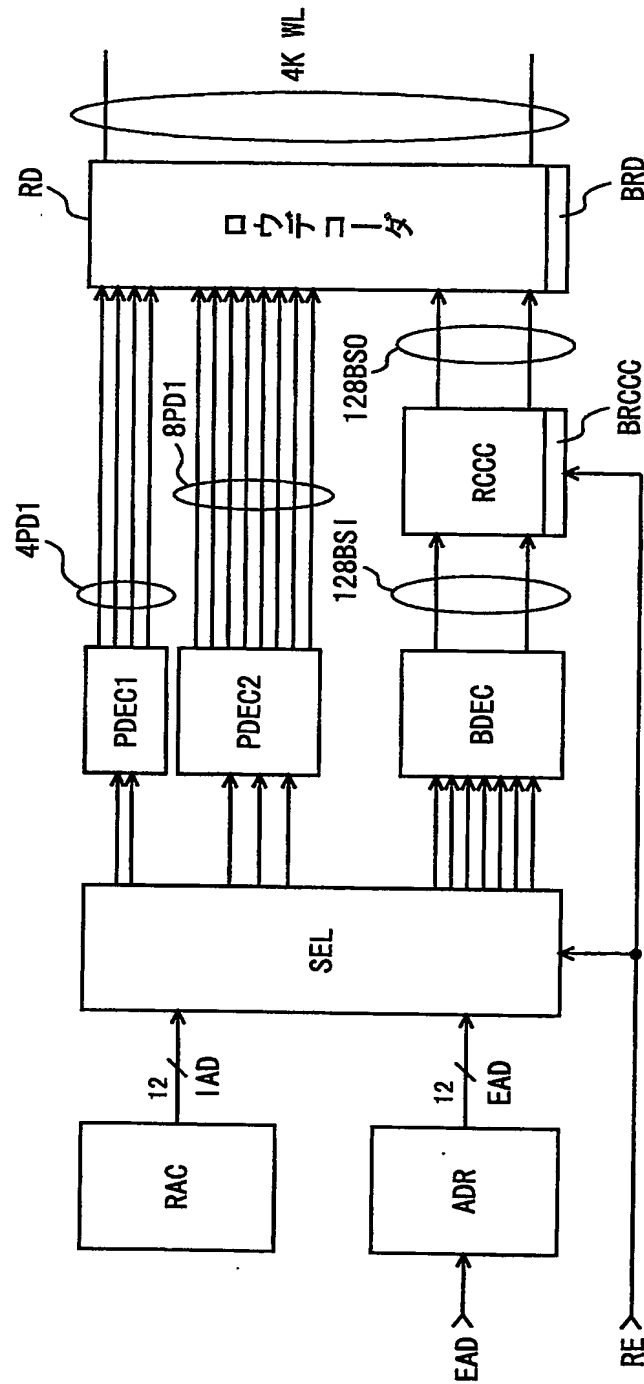
【書類名】

図面

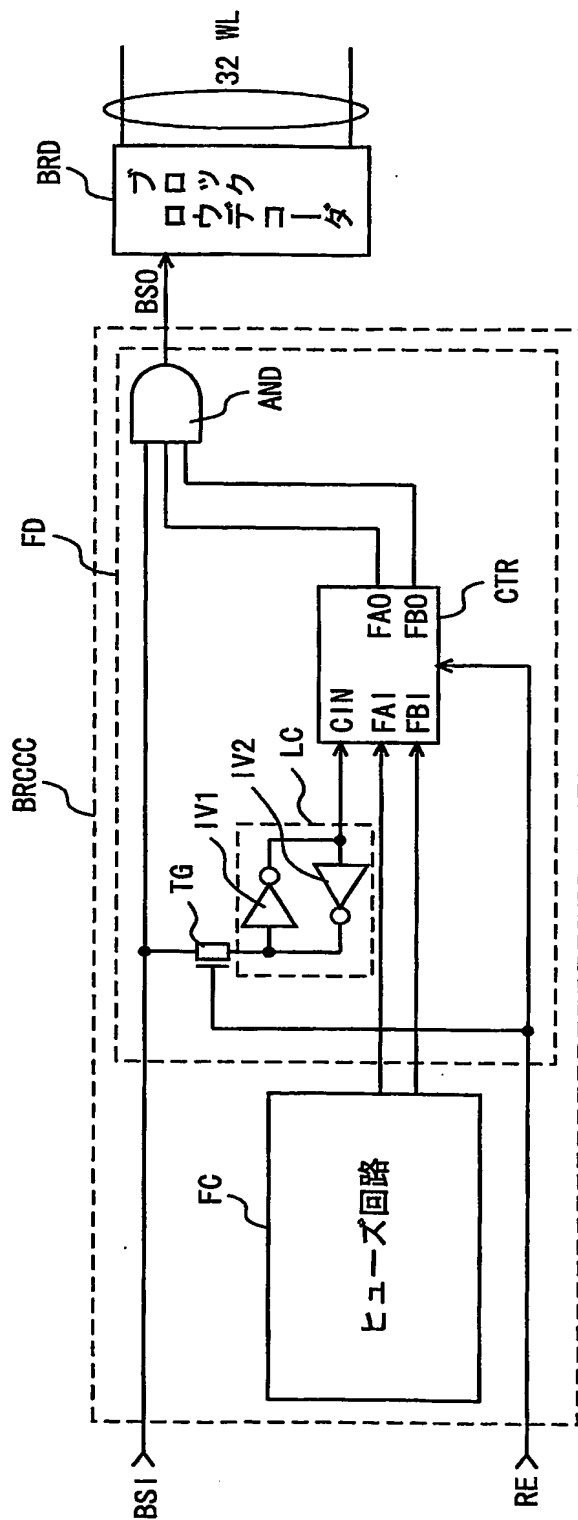
【図 1】



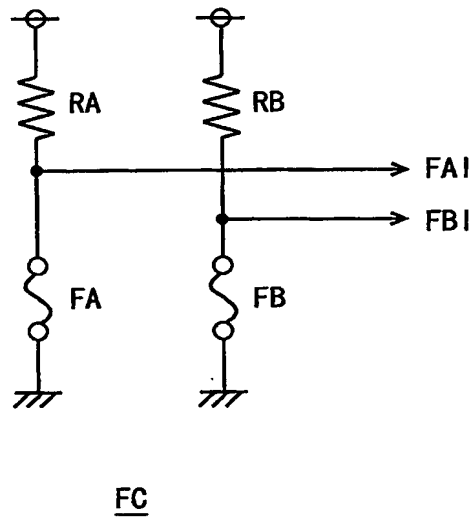
【図 2】



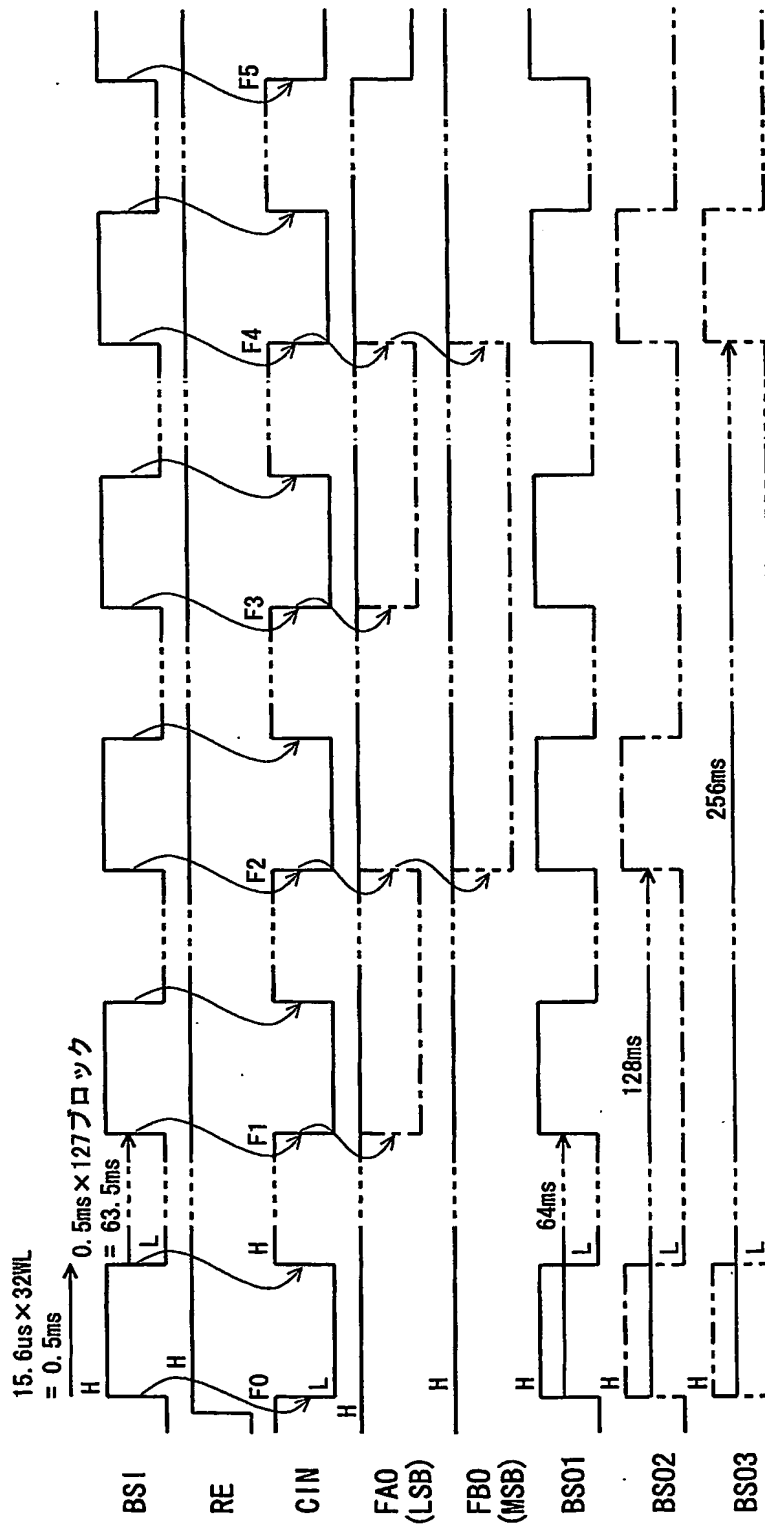
【図 3】



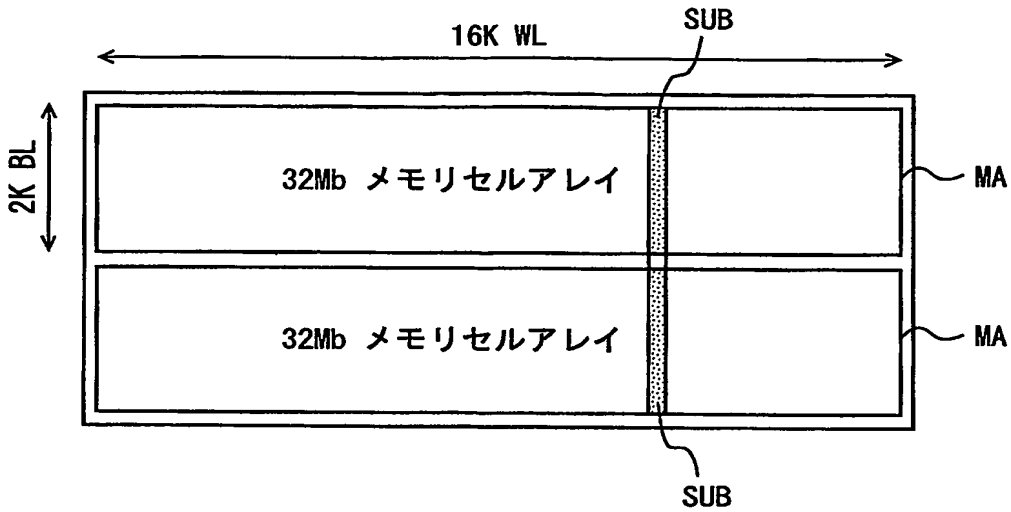
【図 4】



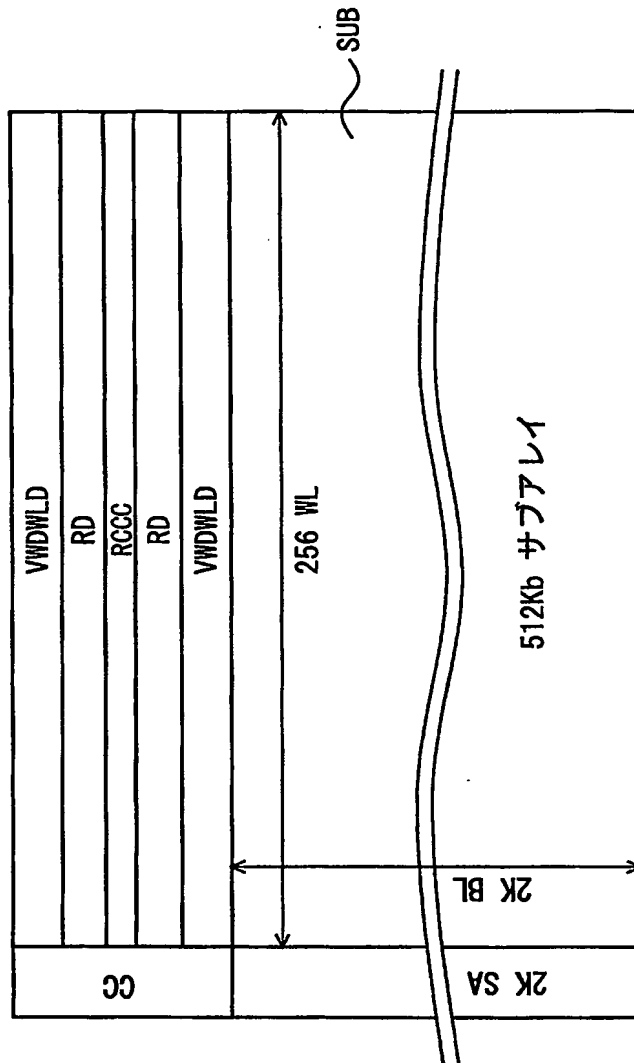
【図 5】



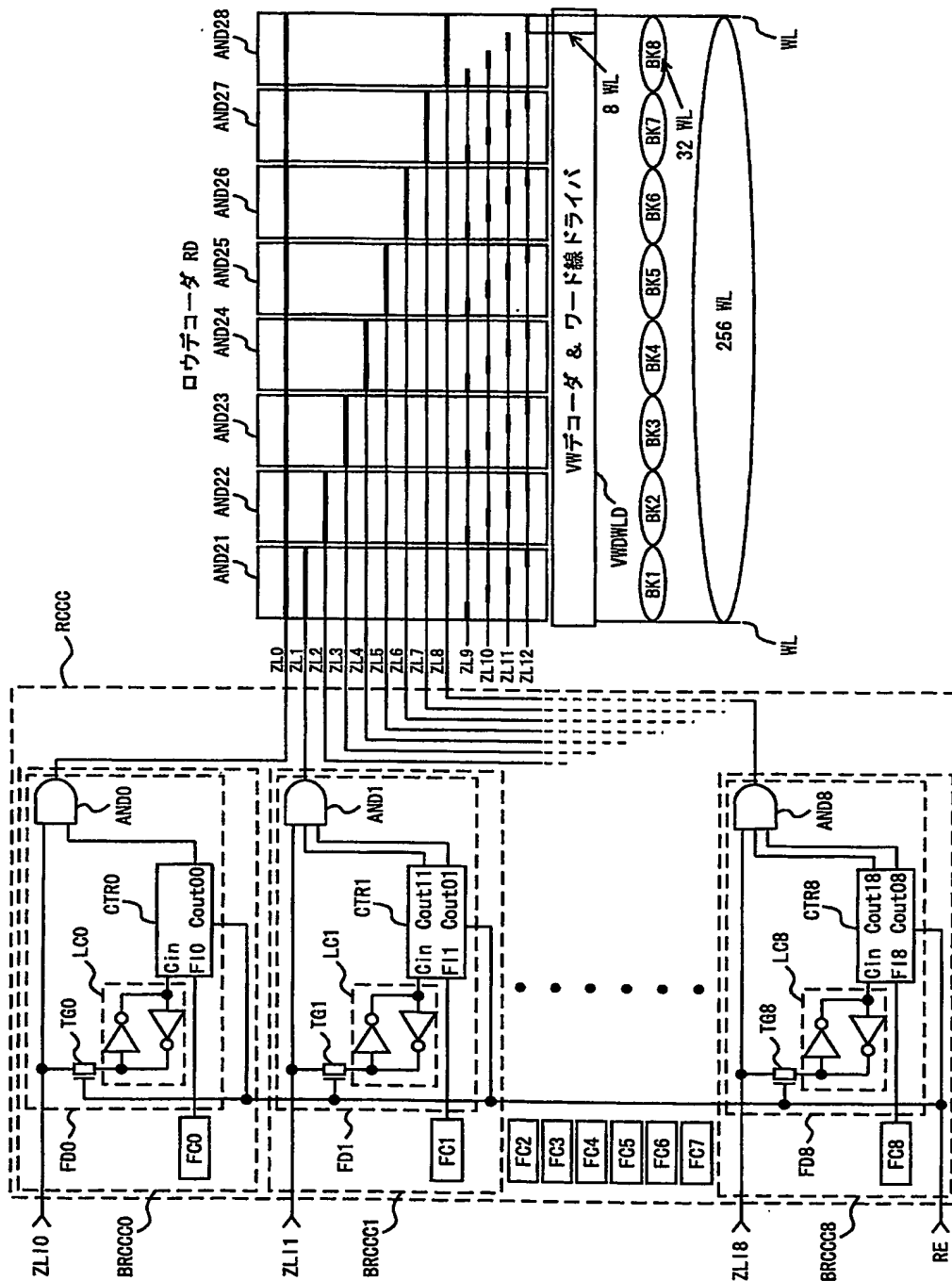
【図 6】



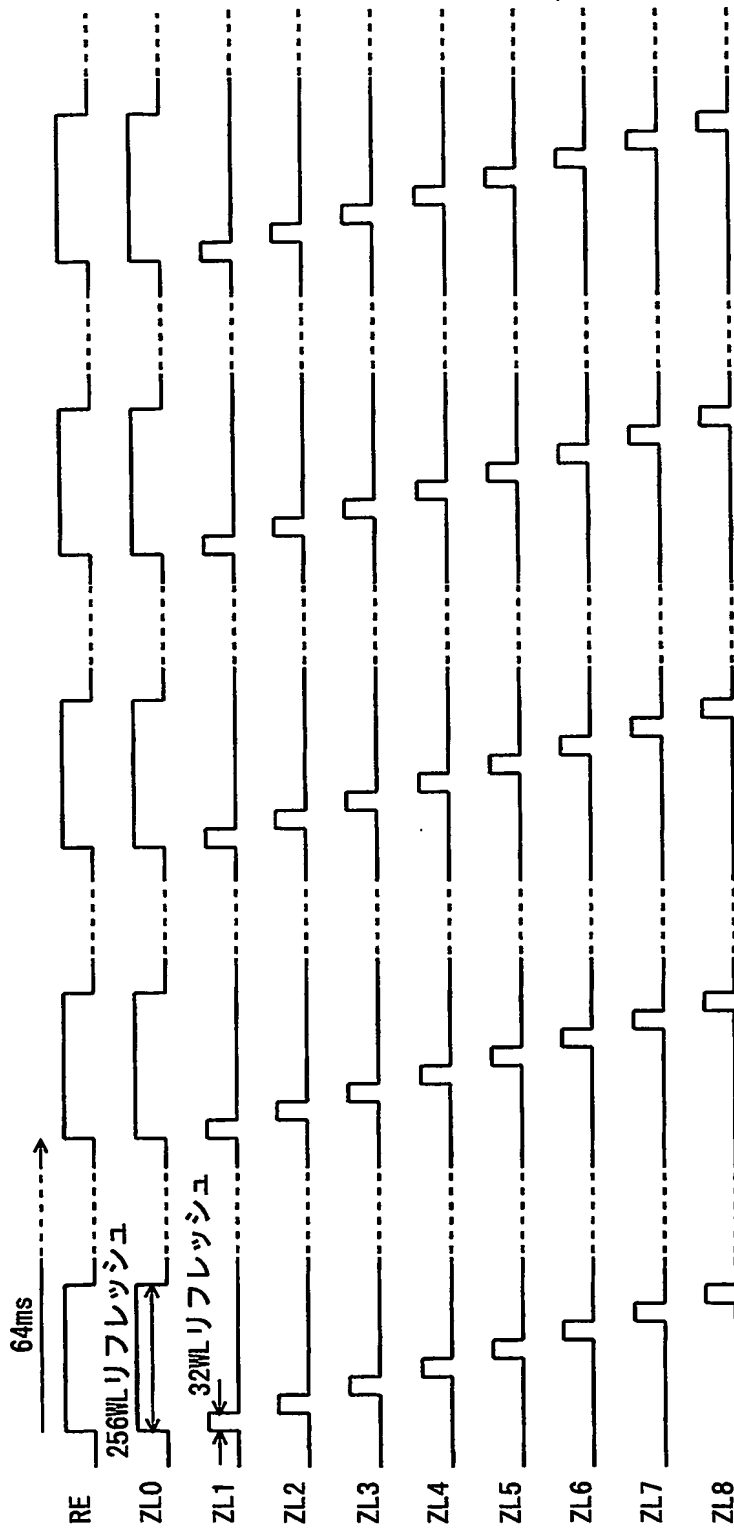
【図 7】



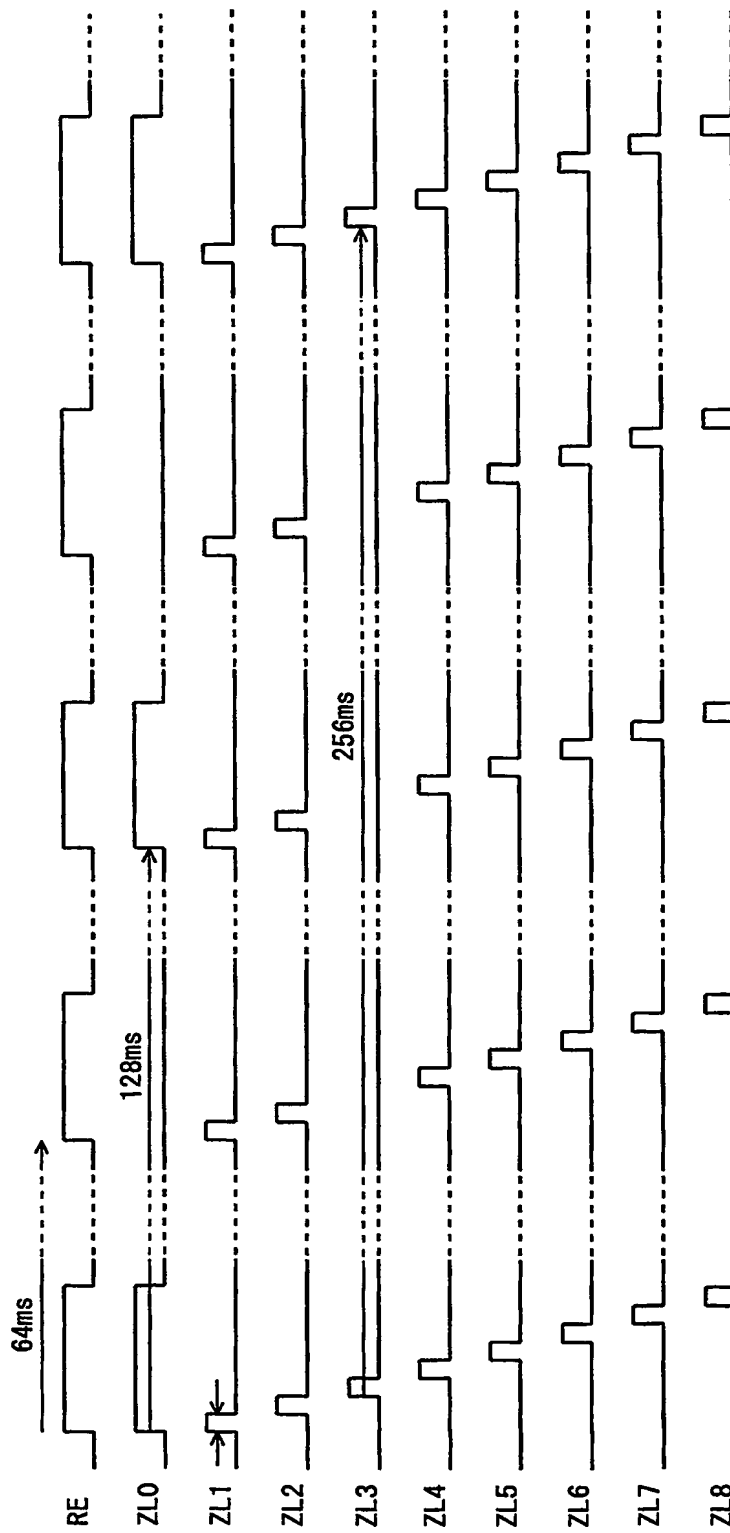
【図 8】



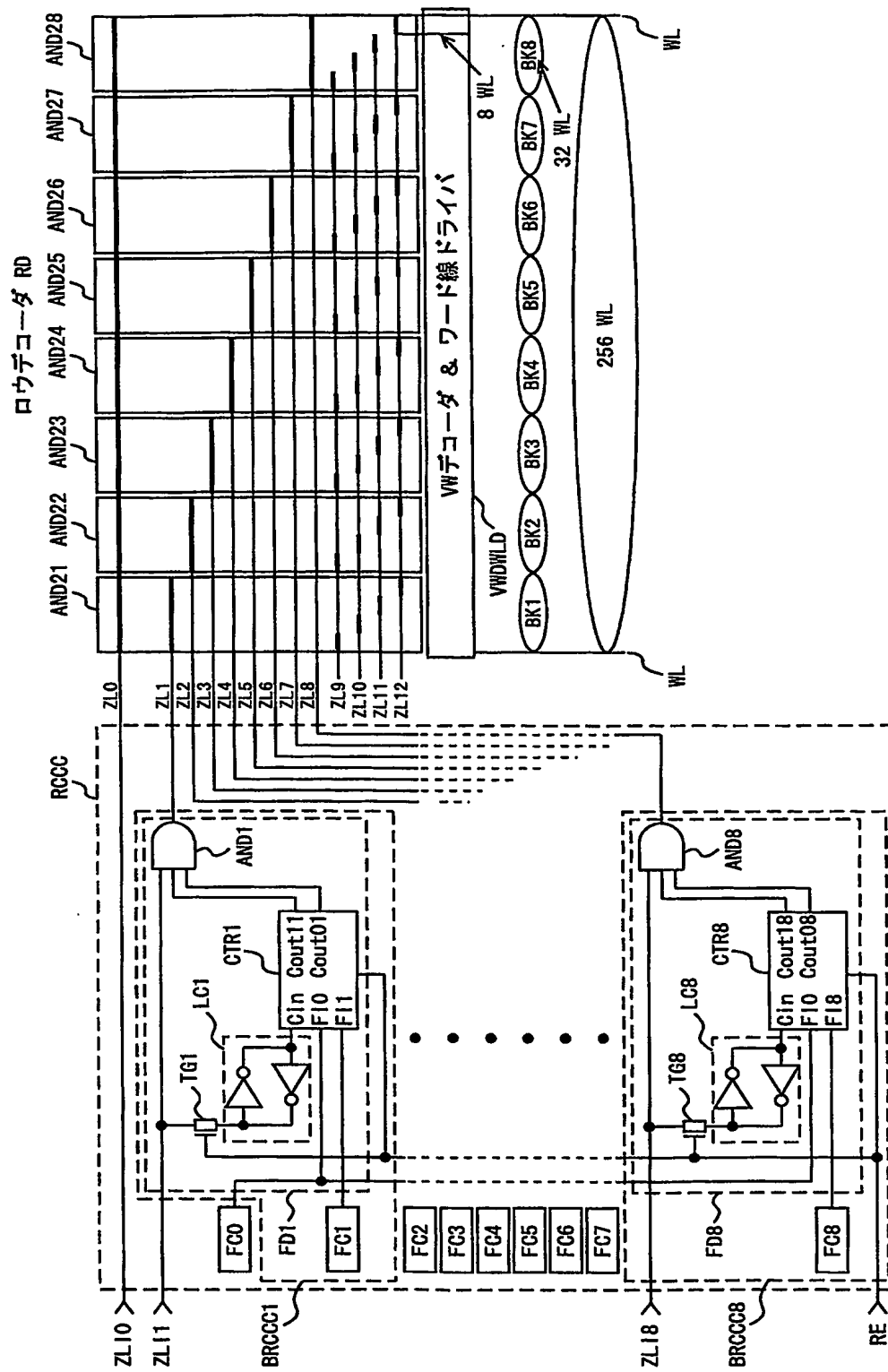
【図 9】



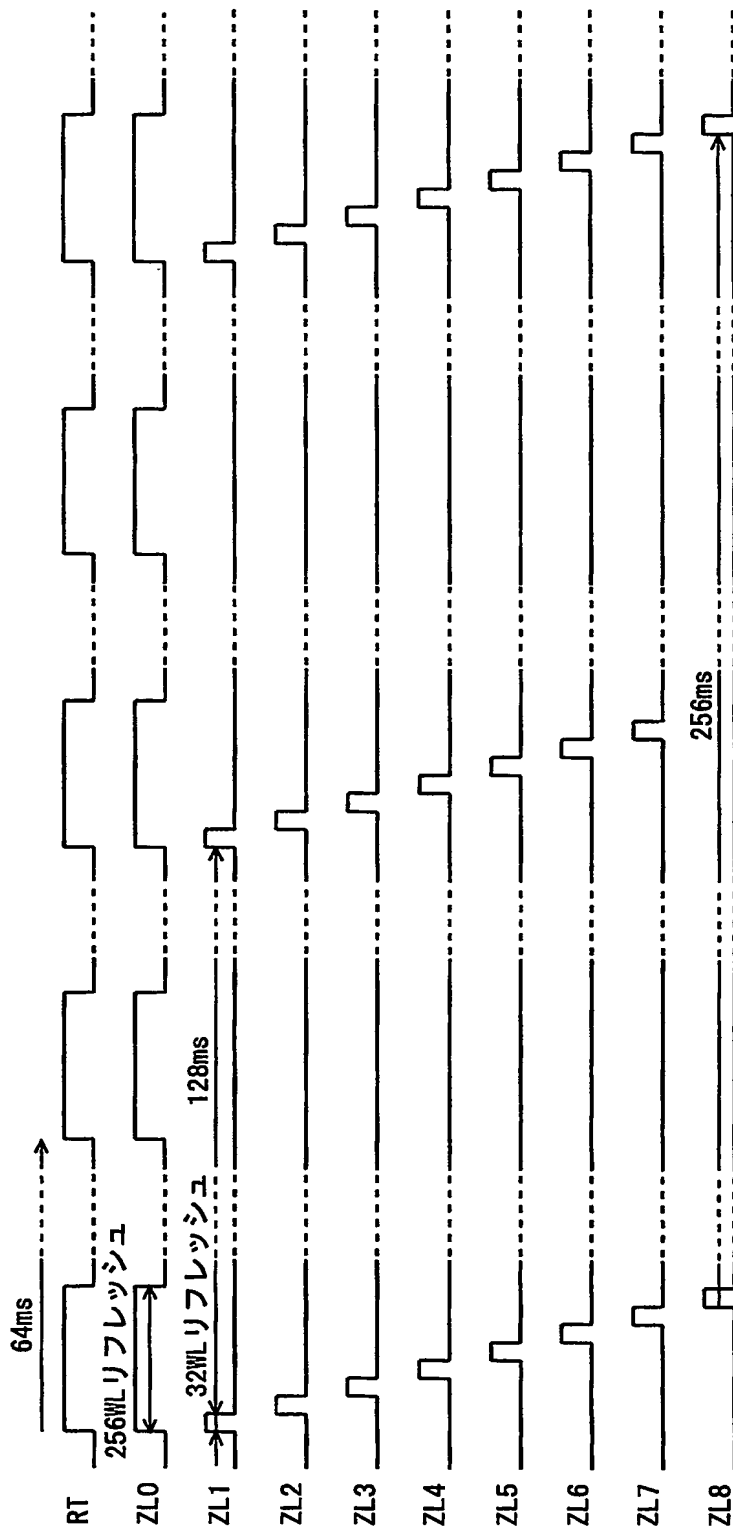
【図 10】



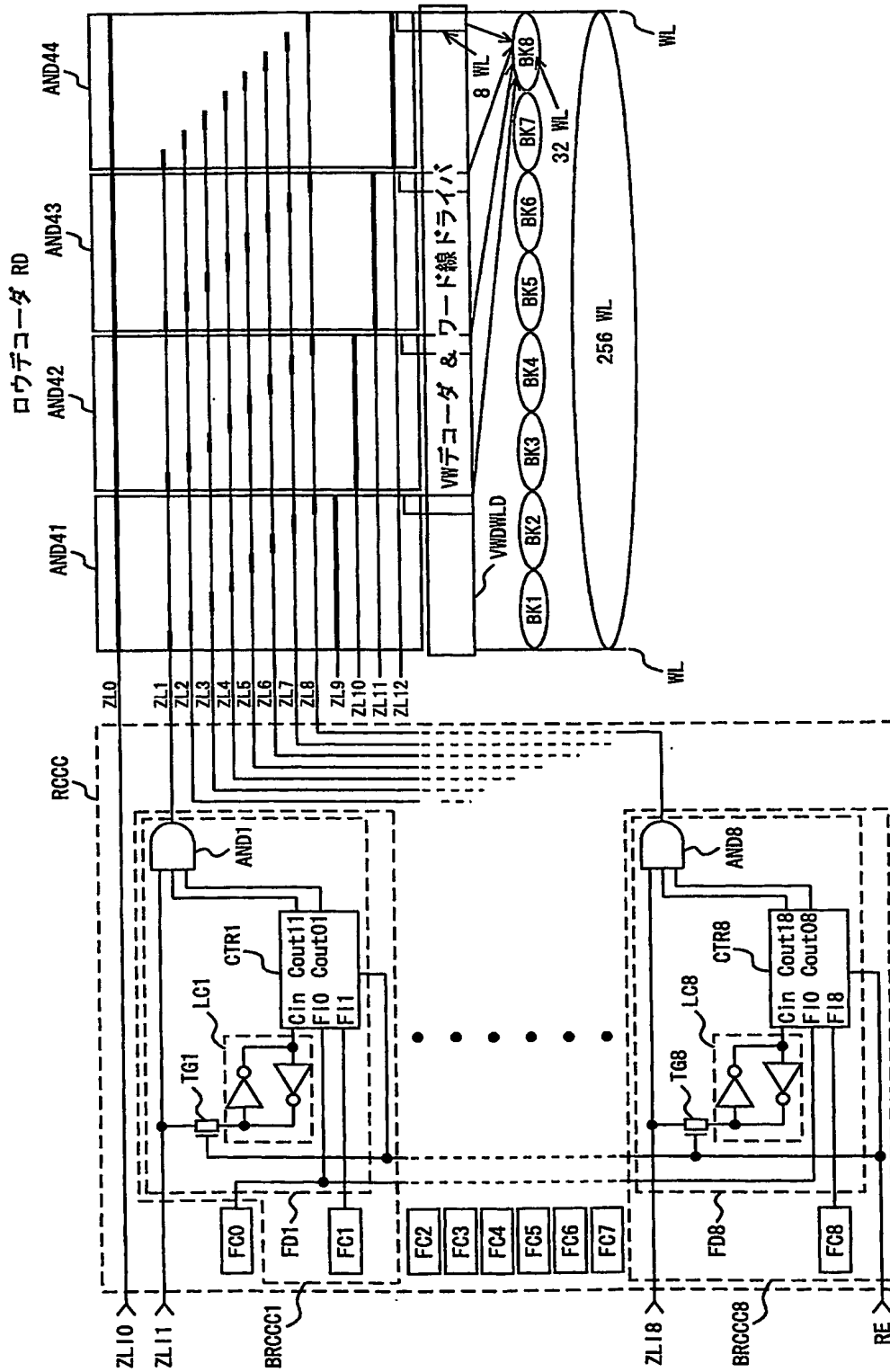
【図11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 リフレッシュ周期をきめ細かく設定することによりリフレッシュ電流を効果的に低減することの可能なDRAMを簡単な回路構成で実現する。

【解決手段】 メモリセルアレイは64個のサブアレイに分割され、各サブアレイはさらに8個のブロックに分割される。リフレッシュサイクル制御回路RCCは、1又は1/2の分周比を設定するヒューズ回路FC0と、その設定された分周比でプリデコード信号ZLI0を分周する分周器FD0と、1又は1/4の分周比を設定するヒューズ回路FC1～FC8と、その設定された分周比でプリデコード信号ZLI1～ZLI8を分周する分周器FD1～FD8とを備える。リフレッシュサイクル制御回路RCCは、64個のサブアレイ用に64又は128msのリフレッシュ周期を、512個のブロック用に64又は256msのリフレッシュ周期を設定することができる。

【選択図】 図8

認定・付加情報

特許出願の番号 特願 2003-110319
受付番号 50300622273
書類名 特許願
担当官 土井 恵子 4264
作成日 平成15年 4月16日

<認定情報・付加情報>

【特許出願人】

【識別番号】 390009531
【住所又は居所】 アメリカ合衆国10504、ニューヨーク州 アーモンク ニュー オーチャード ロード
【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレーション

【復代理人】

申請人
【識別番号】 100104444
【住所又は居所】 大阪府大阪市北区天満2丁目2番1号 角野ビル
2階 インテリクス国際特許事務所
【氏名又は名称】 上羽 秀敏

【代理人】

【識別番号】 100086243
【住所又は居所】 神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】 坂口 博

【代理人】

【識別番号】 100091568
【住所又は居所】 神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】 市位 嘉宏

【代理人】

【識別番号】 100108501
【住所又は居所】 神奈川県大和市下鶴間1623番14 日本アイ・ビー・エム株式会社 知的所有権
【氏名又は名称】 上野 剛史

次頁無

特願 2003-110319

出 願 人 履 歴 情 報

識別番号

[390009531]

1. 変更年月日

2000年 5月16日

[変更理由]

名称変更

住 所

アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)

氏 名

インターナショナル・ビジネス・マシーンズ・コーポレーション

2. 変更年月日

2002年 6月 3日

[変更理由]

住所変更

住 所

アメリカ合衆国10504、ニューヨーク州 アーモンク ニュー オーチャード ロード

氏 名

インターナショナル・ビジネス・マシーンズ・コーポレーション

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.